

CLIPPEDIMAGE= JP359046055A
PAT-NO: JP359046055A
DOCUMENT-IDENTIFIER: JP 59046055 A
TITLE: PROTECTIVE DEVICE OF HYBRID INTEGRATED CIRCUIT

PUBN-DATE: March 15, 1984

INVENTOR-INFORMATION:
NAME
MIURA, YOSHIO

ASSIGNEE-INFORMATION:
NAME
SANYO ELECTRIC CO LTD
TOKYO SANYO ELECTRIC CO LTD
COUNTRY
N/A
N/A

APPL-NO: JP57157139
APPL-DATE: September 8, 1982

INT-CL (IPC): H01L023/56; H01L029/72
US-CL-CURRENT: 257/539, 257/717

ABSTRACT:

PURPOSE: To protect a hybrid IC while preventing excessive protection by a method wherein heat sensitive semiconductor elements are fixed to a resistor provided on a conductor in series with an output circuit to detect a temperature rise of the resistor interrupting the output circuit current.

CONSTITUTION: The transistors 1, 2 are fixed on a copper foiled conductor 12 of an insulated Al plate 11 through the intermediary of a heat sink 13 connecting an emitter to the conductor 12. A plated resistor 3 not exceeding 0.2Ω is provided on the conductor 12 in series fixing to an Si planar type transistor 4. The transistor 4 detects the voltage fluctuation due to a temperature change of the element 4 interrupting the current of the elements 1, 2. In the concrete, a relay 6 is inserted into the power supply line between the element 2 and the driver step thereof driving the relay 6 by means of a

detecting output 5. In such a constitution, the transistors 1, 2 are not actuated by excessive current incoming from an instantaneous high signal input preventing excessive protection with accurate temperature detection and high reliability due to the detection by the resistor 3.

COPYRIGHT: (C)1984,JPO&Japio

⑫ 公開特許公報 (A)

昭59—46055

⑤ Int. Cl.³
H 01 L 23/56
29/72

識別記号

庁内整理番号
6851—5F
7514—5F

⑬ 公開 昭和59年(1984)3月15日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 混成集積回路の保護装置

⑮ 特 願 昭57—157139

⑯ 出 願 昭57(1982)9月8日

⑰ 発 明 者 三浦敬男

群馬県邑楽郡大泉町大字坂田18
0番地東京三洋電機株式会社内

⑱ 出 願 人 三洋電機株式会社

守口市京阪本通2丁目18番地

⑲ 出 願 人 東京三洋電機株式会社

群馬県邑楽郡大泉町大字坂田18
0番地

⑳ 代 理 人 弁理士 佐野静夫

明 細 書

1. 発明の名称 混成集積回路の保護装置

2. 特許請求の範囲

1. 混成集積回路基板上に所望の導電路を設け、該導電路上に出力用半導体素子を設けた出力回路を有する混成集積回路に於いて、前記出力回路の導電路に直列に抵抗体を設け、該抵抗体上に感温半導体素子を付着し、前記抵抗体の温度上昇を前記感温半導体素子で検出して出力回路の電流を遮断することを特徴とする混成集積回路の保護装置。

3. 発明の詳細な説明

(イ) 技術分野

本発明は混成集積回路の保護装置、特に熱的に検出を行う保護装置に関する。

(ロ) 従来技術

出力回路の保護装置としては第1図に示す如く、コンプリメンタリー出力トランジスタの夫々のエミッタに直列に接続したエミッタ抵抗の電圧 V_{E1} 、 V_{E2} を検出し、電圧 V_{E1} 、 V_{E2} が一定値を超えると保護回路を働かせてコンプリメンタリー出力ト

ランジスタを遮断する方法が採られている。

斯かる方法では正常状態にも拘らず大信号入力時等に出力回路に過大電流が流れて保護回路が動作する場合がある。これは電圧検出方法による保護装置は応答速度がきわめて速いことに起因している。

(ハ) 発明の開示

本発明は斯点に鑑みてなされ、温度検出方法による混成集積回路の保護装置を提供するものである。

本発明の第1の目的は適度の感応速度を有する混成集積回路の保護装置を提供するものである。

本発明の第2の目的は集積回路化に適する混成集積回路の保護装置を提供するものである。

本発明に依る混成集積回路の保護装置は第2図に示す如く、コンプリメンタリー出力トランジスタ(1)(2)のエミッタを接続した導電路(2)に直列に挿入した抵抗体(3)を設け、この抵抗体(3)上に感温半導体素子(4)を付着し、感温半導体素子(4)の変動電圧を検出回路(5)で検出し、検出回路(5)の出力によ

りコンプリメンタリー出力トランジスタ(1)(2)を流れる電流を遮断する様に構成されている。

(二) 実施例

出力トランジスタ(1)(2)は第3図および第4図から明らかな様に、絶縁処理したアルミニウム板等の良熱伝導性の混成集積回路基板(11)上に設けた所望のパターンにエッチングした銅箔より成る導電路(12)上にヒートシンク(13)を介して固着されている。出力トランジスタ(1)(2)のエミッタ電極は隣接する導電路(12)にボンディング細線により接続されている。

エミッタ電極に接続された導電路(12)には直列に抵抗体(3)が接続される。抵抗体(3)としてはニッケルメッキ抵抗あるいは印刷焼成したカーボン抵抗を用いる。抵抗値は 0.2Ω 以下の低い値を用いる。

感温半導体素子(4)としてはシリコンプレーナ型トランジスタあるいはシリコンダイオード等を用いる。PN接合のもつ $2\text{ mV}/^\circ\text{C}$ の温度係数を利用してゐるからである。この感温半導体素子(4)は上述した抵抗体(3)に銀ペースト等を用いて接着

される。なお抵抗体(3)との電気的絶縁を要するときには薄いエポキシ樹脂層を設けると良い。

検出回路(5)は感温半導体素子(4)の温度変化による電圧変動を検出し、その出力により出力トランジスタ(1)(2)を流れる電流を遮断する様に働く。具体的には出力トランジスタ(2)とそのドライバー段の間の電源ラインにリレー(6)を押入し、検出回路(5)の出力でこのリレーを駆動する。

次に本発明に依る保護装置の動作原理について説明する。出力トランジスタ(1)(2)に過大電流が流れると、抵抗体(3)でジュール熱による温度上昇が発生する。この温度上昇は直ちに感温半導体素子(4)で検知され、検出回路(5)の出力によりリレー(6)が遮断される。この結果ドライバー段のトランジスタがOFFされるので、出力トランジスタ(1)(2)を流れる電流は遮断されて保護動作する。

第5図に具体化された検出回路を示す。ツェナー電圧を抵抗 R_1 および R_2 で分圧して検出用PNPトランジスタ(4)のベースを所定の保護動作温度に対応する電圧にバイアスしている。抵抗体(3)

の温度上昇に伴いPNPトランジスタ(4)のベースエミッタ間電圧 V_{be} が減少し設定電圧以下になると、PNPトランジスタ(4)が導通しリレー(6)は遮断する様に働く。

(三) 効果

本発明に依れば出力トランジスタ(1)(2)の過大電流を抵抗体(3)からの発熱によって検出しているので、過大電流を検知するまで若干の猶予ができ瞬時の大信号入力時の過大電流に対して働くおそれはなく過保護を防止できる。また従来用いた高ワットのセメント抵抗を不要とし保護装置を大巾に簡略化でき、混成集積回路基板への集積化が容易にできる。更に抵抗体(3)上で温度検出を行うので正確に検出できる。

4. 図面の簡単な説明

第1図は従来例を説明する回路図、第2図は本発明を説明する回路図、第3図および第4図は本発明の構造を説明する上面図および断面図、第5図は本発明の検出回路を説明する回路図である。

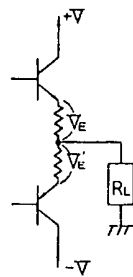
主な図番の説明

(1)(2)は出力トランジスタ、(3)は抵抗体、(4)は感温半導体素子、(5)は検出回路、(6)はリレーである。

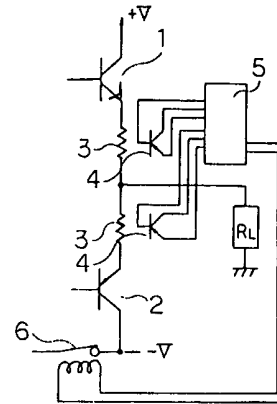
出願人 三洋電機株式会社 外1名
代理人 弁理士 佐野 静夫



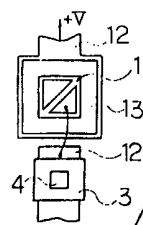
第1圖



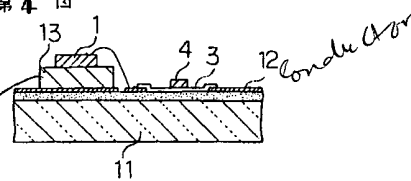
第2圖



第3圖



第4圖



Heat Sink
connected
to emitter

